

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-251671

(43)Date of publication of application : 28.09.1993

(51)Int.Cl.

H01L 27/118

(21)Application number : 04-084640

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 06.03.1992

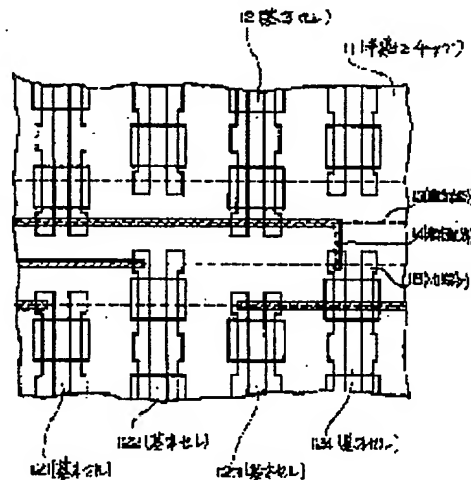
(72)Inventor : AOKI YOSHITAKA

(54) GATE ARRAY DEVICE

(57)Abstract:

PURPOSE: To prevent unconnected wiring conductors from remaining by staggering basic cells by a multiple of the wiring pitch when the cells are arranged in X- and Y-directions.

CONSTITUTION: Basic cells are arranged in the X-direction in such a manner that alternate cells are staggered toward the Y-direction by the wiring interval, and such rows are arranged in the Y-direction. When the input terminals of the cells 121 to 123 are connected with wiring conductors extending from the left side in this array of cells, the input terminals of the cells 123 and 124 are connected with different wiring conductors. As a result, the input terminal of the cell 123 can be connected with a wiring conductor extending from the right side so that unconnected conductors may not exist.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-251671

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 27/118

9169-4M

H01L 21/82

M

審査請求 未請求 請求項の数3(全4頁)

(21)出願番号

特願平4-84640

(22)出願日

平成4年(1992)3月6日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式
社

神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 青木 義孝

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

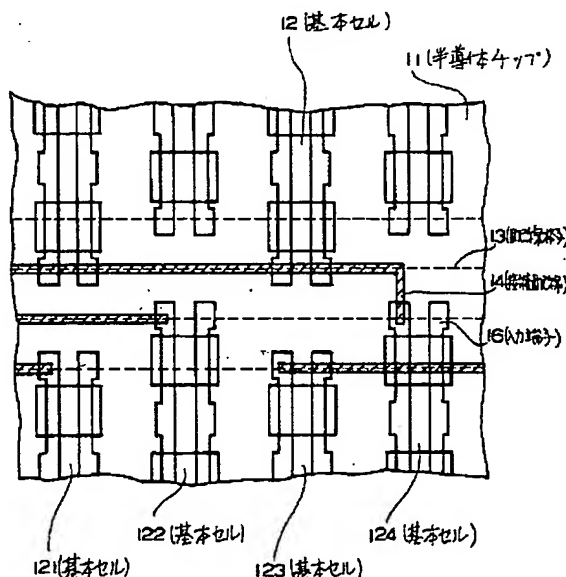
(74)代理人 弁理士 井ノ口 壽

(54)【発明の名称】 ゲートアレイ方式の半導体集積回路装置

(57)【要約】

【目的】 X方向に配置された基本セル列をY方向に配
置する際、配線格子の整数倍だけずらせて基本セルを配
置することにより、未配線を防ぐことにある。

【構成】 X方向の任意の基本セル列位置に配置された
基本セルを、基準のY方向座標に配置して構成した基本
セル行を考える。次に、この基本セル行と、基準のY方
向座標に対してY方向に、配線格子の1格子だけずらせ
て配置した基本セル行とを、1セルずつ交互に配置して
アレイを構成する。このようにすれば、基本セル121
～123の入力端子に対して、左側からの配線を接続し
たとしても、基本セル123、124の入力端子が同一
の配線格子上に配置されることはない。このため、基本
セル123の入力端子には右側からの配線を接続するこ
とが可能となり、未接続配線の発生することはない。



1

【特許請求の範囲】

【請求項1】 Y方向に配線格子に従って規則的に配置された複数の基本セルより成る基本セル行と、
複数の前記基本セル行をX方向に配置する際に、前記Y方向の配線格子の整数倍だけ交互にずらせて前記基本セル行を配置して構成した基本セル列とから成るゲートアレイ方式の半導体集積回路。

【請求項2】 前記交互に前記基本セル行をずらせて配置して構成した基本セル行において、
前記交互にずらせる周期は1セルずつ、あるいは2セルずつ、または3セル以上ずつに選んで構成した請求項1のゲートアレイ方式の半導体集積回路。

【請求項3】 前記基本セルを配置する配線格子はチップサイズと基本セルサイズとの関係によって定められる基準のY方向座標を与えるものである請求項1のゲートアレイ方式の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路装置の配置に関し、特にゲートアレイ方式の半導体集積回路装置における基本セル配置に関する。

【0002】

【従来の技術】従来のゲートアレイ方式の半導体集積回路においては、図3に示す基本セルがX方向とY方向とに一樣に配置されてアレイが構成されていた。図3において、32は基本セル、36は入力端子である。図4は、図3に示す基本セルを使用し、X、Y両方向に配置して構成したゲートアレイである。図4において、41は半導体チップ、42は基本セル、43は配線格子、44は接続配線、45は未接続配線、46は入力端子である。

【0003】基本セル32、42はX方向に配置されている。更に、基本セル32、42のY方向の位置はチップサイズと基本セルサイズとによって決定されている。また、Y方向には基本セルの間に配線格子43が用意されている。このような概念のもとで、複数の基本セルによって構成されたファンクションブロックが構成され、異なるファンクションブロックの間を自動配線で接続して、所望する回路が実現されている。このとき、配線接続は配線格子43上に配置されている。

【0004】上述したように、X方向に配置された基本セル列がY方向の同一座標上に規則正しく配置されているため、基本セルの入力端子が全て同一のX方向の配線格子上に配置されている。従って自動配線でX方向の接続配線が多い場合には、所望基本セルの入力端子に配線が接続できず、未接続配線が発生することがある。よって、未接続配線が発生した場合、人手で接続配線を実施するため、多大な工数が必要となり、設計期間が長くなる。

【0005】

2

【発明が解決しようとする課題】解決しようとする問題は、基本セルの入力端子が全て同一のX方向の配線格子上に配置され、X方向の接続配線が多い場合には、自動配線で所望する基本セルの入力端子に配線が接続できず、未接続配線が発生し、工数の増大を招く点である。

【0006】

【課題を解決するための手段】本発明は、X方向に配置された基本セル列の中に、チップサイズと基本セルサイズとの関係によって定まる基準のY方向座標に対して、Y方向に配線格子の整数倍だけずらせて配置された基本セルを少なくとも1セル以上配置する点を特徴とする。

【0007】

【実施例】次に、本発明について図面を参照して説明する。図1は、本発明によるゲートアレイ方式の半導体集積回路装置の第1の実施例を示す平面図である。図1において、11は半導体チップ、12、121～124はそれぞれ基本セル、13は配線格子、14は接続配線、16は入力端子である。X方向の定められた基本セル列位置に配列された基本セルを、チップサイズと基本セルサイズとの関係によって定められる基準の同一Y方向座標上に配置して基本セル121、123を構成する。一方、他の基本セルについては、Y方向座標上において、Y方向に配線格子13の1格子分だけ、上記基本セル121、123に対してずらせて配置し、基本セル122、124を構成する。アレイは基本セル121、123と、基本セル122、124とから成る。従って、基本セル122～124は1セルずつ交互にずらせて配置されている。

【0008】このような構成により、基本セル121～123の入力端子に左側からの配線を接続したとしても、基本セル123、124の入力端子が同一の配線格子上に位置しない。このため、基本セル123の入力端子には右側からの配線を接続することが可能となり、未接続配線が発生することはない。また、接続配線数が4本であるのに対し、配線格子は3格子であって、接続配線を行うことができ、配線格子が1本だけ余る。このため、異なるファンクション間を接続配線する場合には、配線効率が向上する。

【0009】図2は、本発明によるゲートアレイ方式の半導体集積回路装置の第2の実施例を示す平面図である。図2において、21は半導体チップ、22、221～224はそれぞれ基本セル、23は配線格子、24は接続配線、26は入力端子である。X方向の定められた基本セル列位置に配置された基本セルを、チップサイズと基本セルサイズとの関係によって定められる基準の同一Y方向座標上に配置して基本セル222、223を構成する。一方、他の基本セルについては、Y方向座標上において、Y方向に配線格子23の1格子だけ上記基本セル222、223に対してずらせて配置し、基本セル221、224を構成する。アレイは基本セル222、2

3

23と基本セル221, 224とから成る。上記により、基本セル221~224は、2セルずつ交互にずらして配置されている。

【0010】このような構成により、基本セル221, 222の入力端子に左側からの配線を接続したとしても、接続配線はX方向のみの配線で接続することができる。従って、Y方向の配線格子の1格子分だけ接続配線が短縮され、配線容量も減少する。このため、ファンクションブロック間の遅延時間の短縮は大きい。

【0011】

【発明の効果】以上説明したように本発明は、X方向の基本セル列の中にチップサイズと基本セルサイズとの関係によって定められる基準のY方向座標に対して、Y方向に配線格子の整数倍だけずらして配置した基本セルが少なくとも1セル以上存在するので、X方向の基本セル列の入力端子が同一の配線格子上に配置されることはなく、所望する回路を自動配線する場合、配線の効率が向上し、セル使用率の高い回路を容易に自動配線することができ、また、自動配線の際に未接続配線の発生するこ

4

とがなくなるので、設計期間の短縮も可能になる効果がある。

【図面の簡単な説明】

【図1】本発明によるゲートアレイ方式の半導体集積回路装置の第1の実施例を示す平面図である。

【図2】本発明によるゲートアレイ方式の半導体集積回路装置の第2の実施例を示す平面図である。

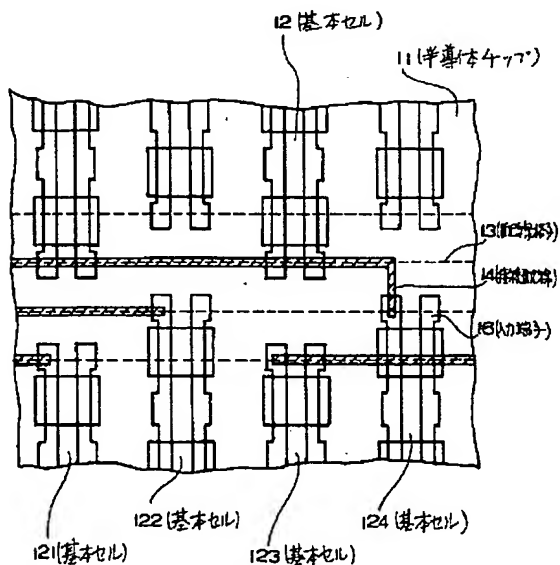
【図3】基本セルの構成例を示す平面図である。

【図4】従来技術によるゲートアレイ方式の半導体集積回路装置の実例を示す平面図である。

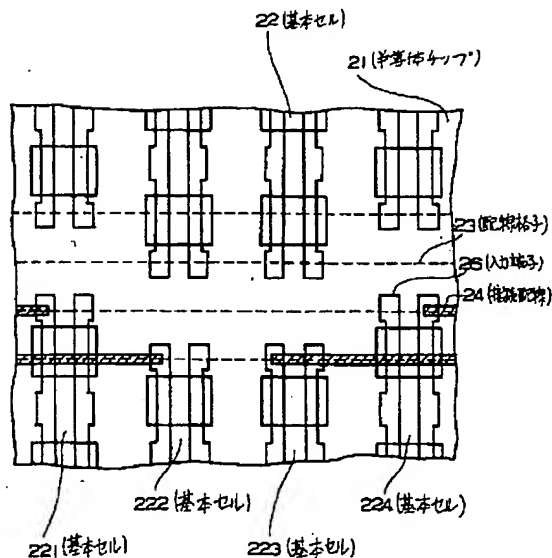
【符号の説明】

- 11, 21, 41 半導体チップ
- 12, 22, 32, 42, 121~124, 221~224 基本セル
- 13, 23, 43 配線格子
- 14, 24, 44 接続配線
- 16, 26, 36, 46 入力端子
- 45 未接続配線

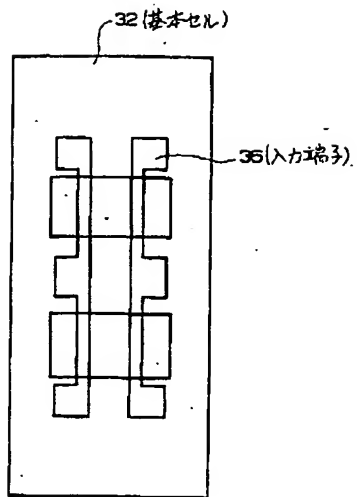
【図1】



【図2】



【図3】



【図4】

